

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02067045 A**(43) Date of publication of application: **07.03.90**

(51) Int. Cl.

H04L 12/56(21) Application number: **63219364**(22) Date of filing: **31.08.88**(71) Applicant: **NEC CORP**(72) Inventor:
**SUZUKI HIROSHI
NAGANO HIROSHI
SUZUKI TOSHIO**(54) **PACKET SWITCH**

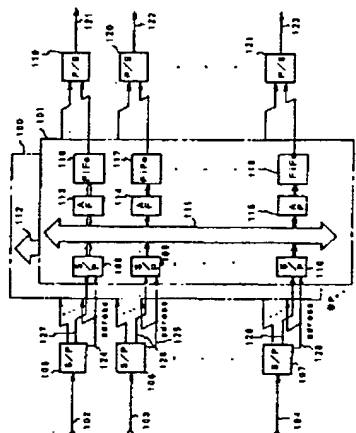
increment of the number of lines.

(57) Abstract:

COPYRIGHT: (C)1990,JPO&Japio

PURPOSE: To respond to the housing of an ultra fast line and the increment of the number of lines by operating in parallel plural subswitches to switch the plural bits of a serial-parallel converted packet signal, and parallel-serial converting plural serial-parallel converted packet signals outputted from output ports corresponding to the output lines of the plural subswitches.

CONSTITUTION: Input lines (102-104) are converted to (P×Q) bits in parallel at a serial-parallel converters(P/S) (105-107). Here, P and Q show integers ³1. In other words, the plural subswitches to switch each of the plural bits of the serial-parallel converted packet signal are operated in parallel, and the parallel-serial conversion of the plural serial-parallel converted packet signals outputted from the output ports corresponding to the output lines of the plural subswitches are performed at each of the output lines. In such a way, it is possible to respond to the making of the line into high speed and the



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-67045

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月7日

H 04 L 12/56

7830-5K

H 04 L 11/20

1 0 2 Z

審査請求 未請求 請求項の数 4 (全9頁)

⑭ 発明の名称 バケツトスイッチ

⑮ 特 願 昭63-219364

⑯ 出 願 昭63(1988)8月31日

| | | | | |
|---------|-----------|-----|----------------|----------------|
| ⑰ 発 明 者 | 鈴 木 | 洋 | 東京都港区芝5丁目33番1号 | 日本電気株式会社内 |
| ⑱ 発 明 者 | 永 野 | 宏 | 東京都港区芝5丁目33番1号 | 日本電気株式会社内 |
| ⑲ 発 明 者 | 鈴 木 | 敏 夫 | 東京都港区芝5丁目33番1号 | 日本電気株式会社内 |
| ⑳ 出 願 人 | 日本電気株式会社 | | | 東京都港区芝5丁目33番1号 |
| ㉑ 代 理 人 | 弁理士 内 原 晋 | | | |

明 細 書

発明の名称 バケツトスイッチ

特許請求の範囲

(1)複数の入線からのバケツト信号を該バケツトのアドレス情報にもとづき複数の出線のいづれかへ出力するバケツトスイッチであり、各入線に於いてバケツト信号を直列並列変換して複数のビットに分割し、該直列並列変換された複数のビットのうち少なくとも一つのビットのバケツト信号をサブスイッチの該入線に対応する入ポートに入力し、該サブスイッチは、複数の該入ポートから入力された複数の該バケツト信号を時分割多重し、該時分割多重された該バケツト信号を該バケツトのアドレス情報にもとづき複数の出ポートのいづれかへ交換して出力するものであり、前記直列並列変換されたバケツト信号の複数のビット数のそれぞれを交換する複数の該サブスイッチを並列動作させ、各出線に於いては、前記複数のサブ

スイッチの該出線に対応する出ポートから出力される複数の直列並列変換されたバケツト信号を、並列直列変換する事を特徴とするバケツトスイッチ。

(2)複数の入線からのバケツト信号を該バケツトのアドレス情報にもとづき複数の出線のいづれかへ出力するバケツトスイッチであり、各入線に於いてバケツト信号を直列並列変換して複数のビットに分割し、該直列並列変換された複数のビットのうち少なくとも一つのビットのバケツト信号をサブスイッチの該入線に対応する入ポートに入力し、複数の入線からのバケツト信号にそれぞれ対応する複数のアドレス情報をスイッチ制御部に入力し、該スイッチ制御部は、該入力されたアドレス情報から各バケツト信号をどの出線へ出力するかを判定し、各バケツト信号毎に、該出線の識別情報を前記サブスイッチに通知し、該サブスイッチは、該複数の入ポートから入力された複数の該バケツト信号を時分割多重し、該時分割多重された該バケツト信号を、前記スイッチ制御部から通

知された該パケットの出力すべき出線の識別情報にもとづき、該サブスイッチの複数の出ポートのいずれかへ出力するものであり、前記直列並列変換されたパケット信号の複数のビット数のそれぞれを交換する複数の該サブスイッチを並列動作させ、各出線に於いては、前記複数のサブスイッチの該出線に対応する出ポートから出力される複数の直列並列変換されたパケット信号を、並列直列変換する事を特徴とするパケットスイッチ。

(3)複数の入線からのパケット信号を該パケットのアドレス情報にもとづき複数の出線のいずれかへ出力するパケットスイッチであり、各入線に於いてパケット信号を直列並列変換して複数のビットに分割し、該直列並列変換された複数のビットのうち少なくとも一つのビットのパケット信号をサブスイッチの該入線に対応する入ポートに入力し、複数の入線からのパケット信号にそれぞれ対応する複数のアドレス情報をスイッチ制御部に入力し、該スイッチ制御部は、該入力されたアドレス情報から各パケットをどの出線へ出力するかを

判定し、かつサブスイッチに入力された各パケット信号を蓄積するパケットバッファメモリの書込み/読み出しアドレスをもとめ、各パケット信号毎に、該パケットバッファメモリの書込み/読み出しアドレス情報をサブスイッチに通知し、該サブスイッチは、該複数の入ポートから入力された複数の該パケット信号を時分割多重し、前記スイッチ制御部から通知された該パケットバッファメモリの該書込み読み出しアドレス情報にもとづいて、該時分割多重された該パケット信号を該バッファメモリに書込み/読み出しを行なうことにより、複数の出ポートのいずれかへ出力するものであり、前記直列並列変換されたパケット信号の複数のビットのそれぞれの信号を交換する複数の該サブスイッチを並列動作させ、各出線に於いては、前記複数のサブスイッチの該出線に対応する出ポートから出力される複数の直列並列変換されたパケット信号を、並列直列変換する事を特徴とするパケットスイッチ。

(4)複数の入線からのパケット信号を該パケットのアドレス情報にもとづきN本の出線のいずれかへ出力するパケットスイッチであり、各入線パケット信号を複数のサブスイッチに同報し、該サブスイッチは、N本の出線のうちM本($M < N$)分の出線に対応する出力回路のみを有し、該複数の入ポートから入力された複数のパケット信号を時分割多重し、該時分割多重された該パケット信号を該パケットのアドレス情報にもとづきM本の出線のいずれかへ出力する事を特徴とするパケットスイッチ。

発明の詳細な説明

(産業上の利用分野)

本発明は超高速なパケットスイッチの構成技術に関する。

(従来の技術)

従来の超高速スイッチに関する論文として1984年インタナショナル・スイッチング・シンポジウム(International Switching Symposium 1984)にてエー・トーマス(A. Thomas)他、が発表した「アシン

クロナウス・タイム・ディビジョン・テクニック(Asynchronous Time Division Technique)」(文献1)が有名である。また1988年電子通信学会交換研究会SSE88-60にて鈴木らにより発表された論文「ATM交換機アーキテクチャの検討」(文献2)がある。

これらの論文の中では複数の入線からのパケット信号を時分割多重してメモリへ書き込んで交換動作を行っている。第5図にその一例を示す。

本スイッチは入線から入力されるパケット501~503を直列並列(シリアルパラレル)変換器(S/P)509~511で速度を落とす。その後、時分割バス500で時分割多重を行う。ここで入線の速度をVとする。シリアルパラレル変換器509~511でk bitに展開すると速度は $\frac{V}{k}$ になる。しかしこれらのN個の入線を時分割多重すると $\frac{V}{k} \times N$ の動作速度が必要となる。さてパケットはどの出線へ出力されるべきかという物理的なアドレス情報を持つ。その方法として第6図(a)のようにパケット600のヘッダ601としてもつ場合と第6図(b)のようにパケット

602と別々に扱われ603のように並列な形で処理される場合がある。(但しここでいう物理アドレスはスイッチの制御だけに使うためのものであり、パケットヘッダの論理アドレスではない。)

さて、時分割多重された各パケットはバス500で全出回線側へ同報される。アドレスフィルタ(AF)512~514は各パケットの上記アドレス(601や603)をチェックし出力すべきパケットなら受信する。そうでなければパケットは受信しない。このようにして、アドレスに記載された出線で受信が行われる。その後バッファメモリ(FIFO)515~517にファーストインファーストアウトで書き込まれる。このFIFOメモリからパケットを読出すことにより出線504~506へ出力される。

(発明が解決しようとする課題)

従来のパケットスイッチでは時分割多重を行うため、回線の速度 V 、回線数 N が増すと時分割多重部の動作速度(V/N)も増大してしまう。回路の動作速度には制限があるためパラレルビット数 k を増やして動作速度の上昇を押さえることが必要となる。

本発明では上記課題を解決する為に、第一の発明では、各入線に於いてパケット信号を直並列変換して複数のビットに分割し、該直列並列変換された複数のビットのうち少なくとも一つのビットのパケット信号をサブスイッチの該入線に対応する入ポートに入力し、該サブスイッチは、複数の該入ポートから入力された複数の該パケット信号を時分割多重し、該時分割多重された該パケット信号を該パケットのアドレス情報にもとづき複数の出ポートのいずれかへ交換して出力するものであり、前記直列並列変換されたパケット信号の複数のビット数のそれぞれを交換する複数の該サブスイッチを並列動作させ、各出線に於いては、前記複数のサブスイッチの該出線に対応する出ポートから出力される複数の直列並列変換されたパケット信号を、並列直列変換することにより高速パケットスイッチを構成する。

さらに第2の発明では、各入線に於いてパケット信号を直並列変換して複数のビットに分割し、該直列並列変換された複数のビットのうち少なくと

さて一方、現状のLSI技術では第5図をすべて同一のLSIに集積化するのは N が大きくなるとメモリ量とゲート数が大きくなり難しい。したがって第5図に破線で示したようにブロックを区切ってメモリ量とゲート数をへらしてLSI化することになる。このような場合上記の k ビットのバスがLSI間をまたがることになってしまい、LSIのピンネックを招く。例えば $V=160M$ $N=32$ としLSIのI/O動作速度の上限を40Mbpsに押さえるためには $k=128$ となる。このようにLSI間をまたがる多数bitのバスを高速で動作させるのは困難である。従って簡単には k を大きくすることができず、LSIのI/O速度の上昇がネックになる。すなわち回線の速度を高速化したり回線数を増やすことが難しいといった問題を有する。

本発明は、従来技術のかかる問題点を解決し、超高速回線の収容、回線数の増大にも十分耐えうるスイッチの構成法を与えるものである。

(問題点を解決する手段)

も一つのビットのパケット信号をサブスイッチの該入線に対応する入ポートに入力し、複数の入線からのパケット信号にそれぞれ対応する複数のアドレス情報をスイッチ制御部に入力し、該スイッチ制御部は、該入力されたアドレス情報から各パケット信号をどの出線へ出力するかを判定し、各パケット信号毎に、該出線の識別情報を前記サブスイッチに通知し、該サブスイッチは、該複数の入ポートから入力された複数の該パケット信号を時分割多重し、該時分割多重された該パケット信号を、前記スイッチ制御部でから通知された該パケットの出力すべき出線の識別情報もとづき、該サブスイッチの複数の出ポートにいずれかへ出力するものであり、前記直列並列変換されたパケット信号の複数のビット数のそれぞれを交換する複数の該サブスイッチを並列動作させ、各出線に於いては、前記複数のサブスイッチの該出線に対応する出ポートから出力される複数の直列並列変換されたパケット信号を、並列直列変換することにより高速パケットスイッチを構成する。

さらに第3項の発明では、各入線に於いてパケット信号を直並列変換して複数のビットに分割し、該直列並列変換された複数のビットのうち少なくとも一つのビットのパケット信号をサブスイッチの該入線に対応する入ポートに入力し、複数の入線からのパケット信号にそれぞれ対応する複数のアドレス情報をスイッチ制御部に入力し、該スイッチ制御部は、該入力されたアドレス情報から各パケットをどの出線へ出力するかを判定し、かつサブスイッチに入力された各パケット信号を蓄積するパケットバッファメモリの書込み/読み出しアドレスをもとめ、各パケット信号毎に、該パケットバッファメモリの書込み/読み出しアドレス情報をサブスイッチに通知し、該サブスイッチは、該複数の入ポートから入力された複数の該パケット信号を時分割多重し、前記スイッチ制御部から通知された該パケットバッファメモリの該書込み読み出しアドレス情報にもとづいて、該時分割多重された該パケット信号を該バッファメモリに書込み/読み出しを行なうことにより、複数の出

ポートのいずれかへ出力するものであり、前記直列並列変換されたパケット信号の複数のビットのそれぞれの信号を交換する複数の該サブスイッチを並列動作させ、各出線に於いては、前記複数のサブスイッチの該出線に対応する出ポートから出力される複数のビットに分割されたパケット信号を、並列直列変換することにより高速パケットスイッチを構成する。

さらに第4項の発明では、各入線パケット信号を複数のサブスイッチに同報し、該サブスイッチは、N本の出線のうちM本($M < N$)分の出線に対応する出力回路のみを有し、該複数の入ポートから入力された複数のパケット信号を時分割多重し、該時分割多重された該パケット信号を該パケットのアドレス情報にもとづきM本の出線のいずれかへ出力することにより高速パケットスイッチを構成する。

(作用)

本発明では最も高速動作が要求される時分割多重部をLSI内部に閉じるように構成する。それは時

分割多重部のパラレル展開度 k をパケット長にまで広げるとを可能ならしめるものであり、動作速度もLSIのI/Oより内部速度の方が速くできるので時分割多重部の高速化が容易となる。しかしながら前述のように問題となるのは回線数 N 個分の回路を1つのLSIに集積化するためには、1つのLSIに収容すべきゲート数とメモリ量が大幅にふえてしまう点である。本発明は①スイッチをビットスライス形のサブスイッチに分割(第1～第3の発明)する。あるいは、②ゲートとメモリが出力側の回路に集中する為、出線の数へらしたサブスイッチに分割する(第4の発明)構成をとることによって1つのサブスイッチに入るゲート数とメモリ量を減らすことを実現している。

第1の発明は時分割多重スイッチをビットスライス形に分割したものである。P個の並列なサブスイッチは並列動作するものであり、各サブスイッチはパケットをパラレルビット展開した場合、そのうちの $\frac{1}{P}$ のビットだけをスイッチするものである。このようにすると、Nポート分をゲート数、メ

モリ数も $\frac{1}{P}$ になり1つのサブスイッチをLSIの中に入れることができ、時分割バスもLSI内部に入るのでPin Neckにもならない。

第2の発明も同様のビットスライス形の構成であるがさらにパケットアドレス情報は制御部がまとめて処理し、その処理結果のみを並列動作する各サブスイッチに通知する。第一の発明は同じアドレス処理回路が各サブスイッチ毎に必要となるが、第2の発明はそれが1つだけ集中してもてばよい。従ってゲート数が減る。

第3の発明は第2の発明にさらにパケットを蓄積するメモリの書込み/読み出しアドレス制御をも制御部に集中化してサブスイッチは多重装置とメモリ(RAM)だけにするものである。同じくゲート数が減少する。

第4の発明は、1つのサブスイッチが持つ出線の数を減らして分割するものである。つまりこれは、ゲートとメモリが出力部に集中する点に注目して。各サブスイッチは全入力線を持つ時分割多重部を有するが、全出線数 N より小さい

M(M<N)個の出線しかもたない。例えば、32×32のスイッチを32×4のサブスイッチを8個で構成するものである。このサブスイッチは1つのLSIに入るので第一の発明と同様時分割多重部の高速化が容易となる。

(実施例)

以下図面を用いて詳細に説明する。第1図は第1の発明の実施例を示すブロック図である。100及び101はサブスイッチである。入線102~104はシリアルパラレル変換器(S/P)105~107でP×Qビットパラレルに変換される。ここでP, Qは1以上の整数である。ここではそのQビットづつを各サブスイッチに入力するものとする。従ってサブスイッチはP面あることになる。1つのサブスイッチは第5図に示した従来のスイッチと同様の構造をもつ。すなわちシリアルパラレル変換器108~110と時分割多重バス111から構成される時分割多重部とアドレスフィルタ113~115ならびにFiFoメモリ116~118からなるこれらのサブスイッチ内の動作は第5図で説明したものと同様である。但しここでスイッチ内でパ

ケットのアドレスの扱いは注意を要する。ケットのアドレスはスイッチの外で第6図の(a)ないし(b)のようになっている。第6図(a)のように直列の場合はアドレス部601だけを抜きとる。シリアルパラレル展開は600のケット部だけを対象とする。第6図(b)の場合は603を抜きとり、602のケット部だけをシリアルパラレル展開する。さて、アドレスの抜きとりはシリアルパラレル変換器105~107で行う。アドレスはアドレス信号線124~126でケット信号線127~129と並列に各サブスイッチに送られる。ケットとアドレスは一度多重されるがアドレスフィルタ(AF)113~115ではアドレス部だけを検知する。ケットはFiFoメモリ116~118に一度格納されたあと出力されパラレルシリアル変換器119~121で元のケットにもどされる。さてこの場合のスイッチの動作速度は次のようになる。回線速度V、回線数Nとする。サブスイッチへの入力部ではケットはP×Qbitに展開されているのでI/O速度は $V_{I/O} = \frac{V}{P \times Q}$ となっている。時分割バスはN多重されるので $\frac{V}{P \times Q} \times N$ のスループットが必要である。

従って108~110のシリアルパラレル変換器でさらにk bitに展開すると内部の速度は $V_{in} = \frac{V \times N}{P \times Q \times k}$ となる。

例として

$$V = 160 \text{ Mbps} \quad N = 32$$

$$P = 8 \quad Q = 1 \quad k = 32 \text{ とする}$$

$$V_{I/O} = V_{in} = 20 \text{ Mbps}$$

NまたはVが2倍になってもQ=2とするかP=16とすることで動作速度の上昇がさけられる。

ゲート数は次のようになる。第5図において1ライン分の回路ゲート数(メモリ含む)をGとする。図5では各ブロック(破線)はGだけのゲートをもつ。第1図ではおよそ各サブスイッチは

$$\frac{G \times N}{P} \text{ だけのゲート量となる。}$$

つまりPを増せばサブスイッチ当たりのゲート量もへらせることがわかる。

次に第2の発明の実施例を第2図に示す。第1図との違いはケットのアドレスは238の制御部が処理し、信号線235~237でFiFo217~219の書き込みイネー

ブルをサブスイッチ220~221に通知する点である。これは第1図では同じアドレスフィルタ(AF)113をすべてのサブスイッチが持たねばならないのを制御部だけにまとめたものである。これによりサブスイッチ220~221のゲート数がさらに減り又並列動作するサブスイッチを集中制御できるので、制御の管理が容易となる。入線200~202から入力されたケットのアドレス情報はシリアルパラレル変換部203~205でケットと分離され206~208で制御部238に入力される。ケットは第1図と同じくP×Qbitに展開されQbitづつ各サブスイッチ220~221に入力される。制御部238ではアドレスを228~230のシリアルパラレル(S/P)変換器と時分割バス231で時分割多重する。この動作は220、221のサブスイッチの212~214のS/P変換器と時分割バス215、216上での各ケットの時分割多重動作と並列に動く。アドレスフィルタ232~234はアドレスをチェックし、どの出力ポートのFiFo217~219がケットを格納すべきか判定する。その結果は235~237で各サブスイッチの各FiFo217~219へライ

トイネーブル信号として通知される。サブスイッチはこの信号をもとにバケットが所望のポートのFiFoに書き込まれる。バケットはFiFoから読み出され、パラレルシリアル(P/S)変換器222~224で元の形に戻され225~227の出線へ出力される。このような構成の場合、第1の発明の効果に加えて

①サブスイッチ面のAFが不要となりゲート数がへる。

②並列動作するサブスイッチを集中的に制御できるため、サブスイッチ間の同期が取りやすくなり管理が容易となる。

というメリットがある。

次に第3の発明の実施例を第3図を用いて説明する。

基本的に第2の発明の実施例(第2図)との相違点はFiFoメモリの制御の方法である。第2図では各サブスイッチの同じ出ポートのFiFoは全て同じ書込み/読みだしアドレスで制御される。従ってこの制御回路を各サブスイッチにもたず集中してもてばさらにサブスイッチのゲート数がへる。サブス

ドレスを出力しこれによりバケットが出力される。パラレルシリアル変換器322~324にて出力されたバケットは元の形に戻され出線325~327へ出力される。

第1~第3の発明の実施例では各出線毎にメモリを別々に設ける出力バッファ形スイッチ(文献②参照)を示したが、bのメモリを複数の出線で共有する共有バッファ形スイッチ(文献①参照)としてもよい。その場合も本発明はその効力を持つ。

次に第4の発明の実施例を第4図を用いて説明する。

第4の発明はサブスイッチを出線の数へらして構成し、入線を同報して接続する。例えば32×32のスイッチを32×4のサブスイッチを8個作る。本図では4×4のスイッチを4×2のサブスイッチ2個で構成している。これはスイッチのゲート数の大半以上が出力側のアドレスフィルタとFiFoメモリに集中する点に注目してこれを出線別に分割することでサブスイッチのゲート数の減少を実現するものである。サブスイッチ内には時分割バス

スイッチはRAMだけを持てばよい。また一方ではこのようにすると並列動作するサブスイッチの同期動作の管理が完全に集中して行えるため信頼性がより高まる。入線300~302から入力されたバケットの多重処理は第2図と全く同じである。303~305はシリアルパラレル変換器でかつアドレスを306~308に分離して制御部343へ入力する。バケットは309~311でサブスイッチ320、321へ入力される。312~314、328~330のシリアルパラレル変換器と時分割バス315、316、331により時分割多重動作が行われる。時分割多重されたバケットのアドレスはアドレスフィルタ(AF)332~333で検知され受信すべきポートのAFがライトイネーブルをRAMコントローラ354~356に通知する。RAMコントローラはRAM317~319のFiFo管理をするものである。337~339で各サブスイッチの各RAMに書込みアドレスを通知する。

これにより時分割多重されたバケットは所望のポートのRAMに格納される。制御部343のRAMコントローラ354~356はRAM317~319の読み出しア

が全部入っているので第1~第3の発明と同様に回線速度、回線数の増大に対して対処しやすいという効果をもつ。入線400~403は2つのサブスイッチ408、409に同報して入力される。各サブスイッチ408、409は第5図のスイッチと同様に410~417のシリアルパラレル変換部と時分割バス418、419からなる時分割多重部をもつ。又各ポート毎のアドレスフィルタ420~423、FiFo424~427は各サブスイッチに分割してもたれる。

本発明は第1の発明、第2の発明、第3の発明と組み合わせで $N \times M$ ($M < N$)のサブスイッチをBitスライス形にしてもよい。あるいは、制御部を分離してもよい。さらには制御部だけを $N \times M$ ($M < N$)構成にしてもよい。1つのサブスイッチの複数の出線用のFiFoメモリを共有メモリで構成してもよい。いずれの場合も本発明はその効力を持つ。

(効果)

第1~第4の本発明によると速度制限が厳しい時分割バスをLSI内部に入れることができるため、時分割バス的高速化が容易に実現できる、つまり、

回線の高速化と回線数の増加に容易に対応できる。第1の発明～第3の発明によるとサブスイッチをビットスライス化することによって、時分割多重部をLSI内部に入れてもLSI当たりのゲート量の増大を防ぐことができる。第2、第3の発明のように制御部を集中化することにより、サブスイッチのゲート量をさらに減少させることができ、かつ並列に動作するサブスイッチを集中制御でき管理しやすくなる。又、第4の発明によってゲート数の多い出力側の回路をサブスイッチ内で減らせることができる。以上のように時分割多重部をLSIに閉じこめてしかも適度なゲート量でLSIを構成できるため今後のLSI技術の進歩によりさらに経済的で高速かつ容量の大きいパケットスイッチが得られる。

図面の簡単な説明

第1図は請求の範囲第1項の発明の実施例によるパケットスイッチのブロック図である。第2図は請求の範囲第2項の発明の実施例によるパケットスイッチのブロック図である。第3図は請求の範囲第3項の発明の実施例によるパケットスイッチのブ

ロック図である。第4図は請求の範囲第4項の発明の実施例によるパケットスイッチのブロック図である。第5図は従来技術によるパケットスイッチのブロック図である。第6図はパケットとそのアドレス情報の転送のしかたを示す図である。

図において

105～110, 203～205, 212～214, 228～230, 303～305, 312～314, 328～330, 410～417…シリアルパラレル変換器、

113～115, 232～234, 332～334, 420～423…アドレスフィルタ、

116～118, 217～219, 424～427…ファーストインファーストアウト(FIFO)メモリ、

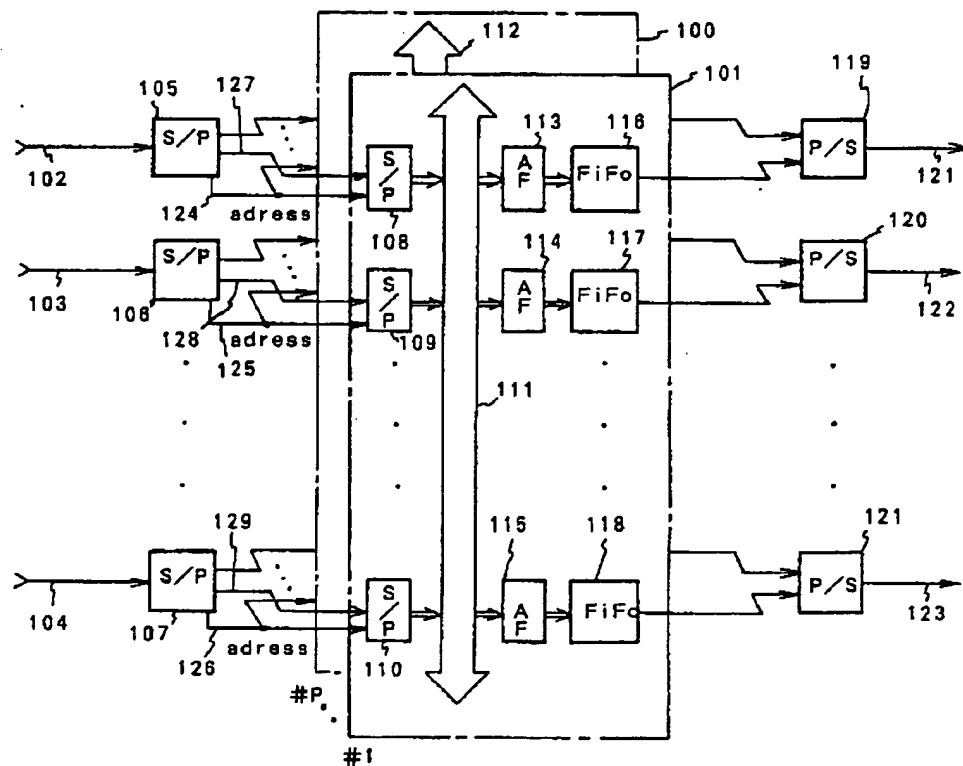
119～121, 222～224, 322～324…パラレルシリアル変換器、

354～356…RAMコントローラ、

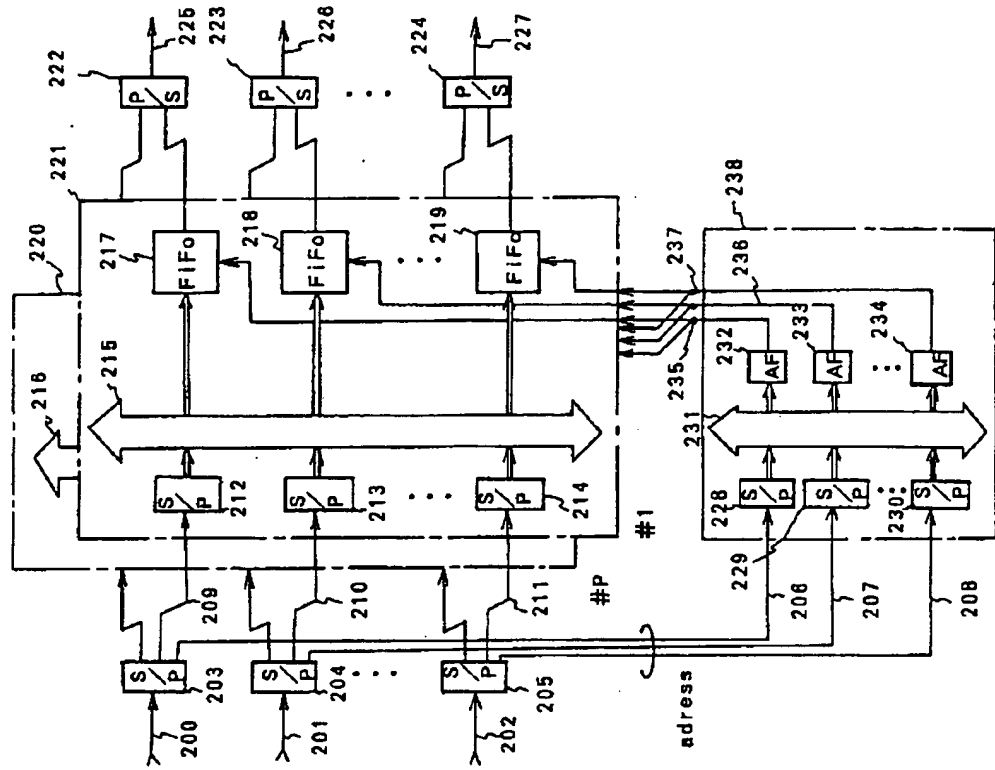
317～319…RAM。

代理人 弁理士 内原 晋

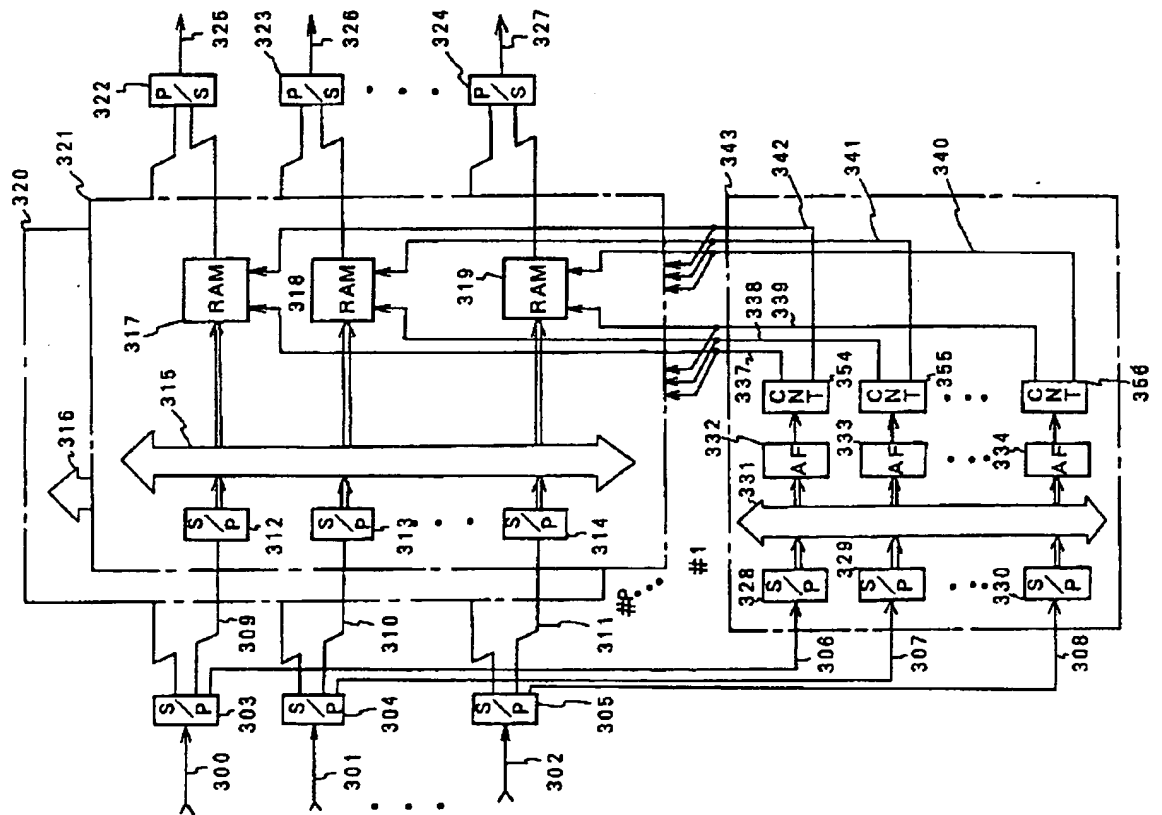
第 1 図



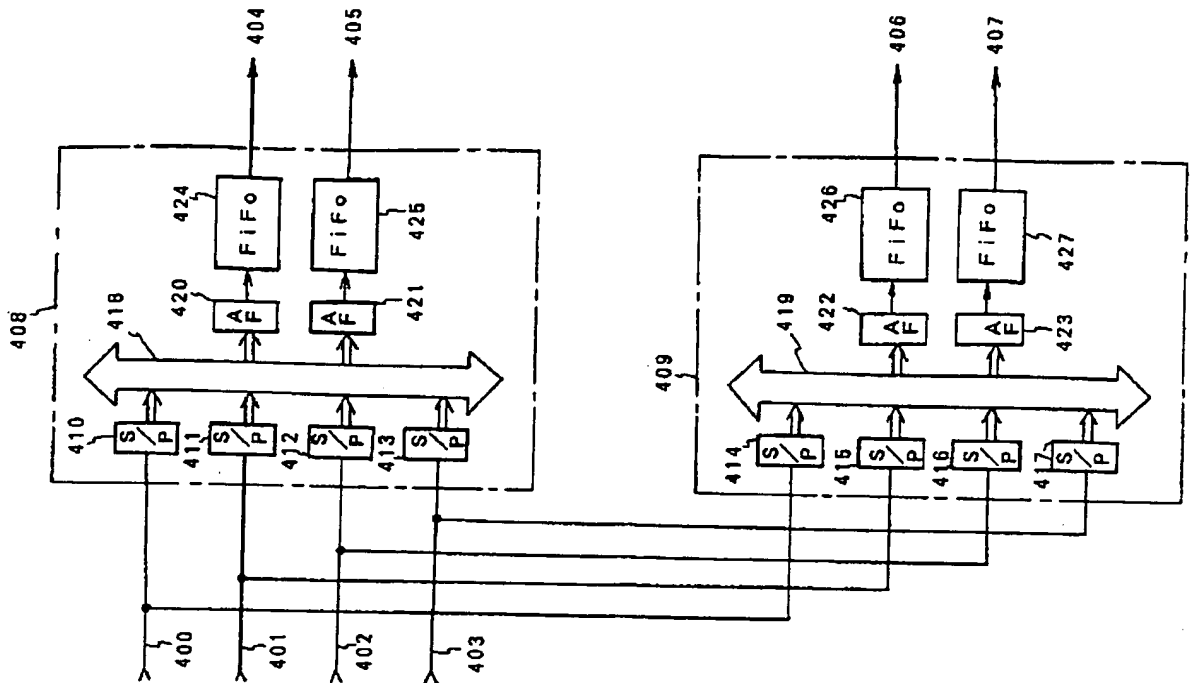
第 2 図



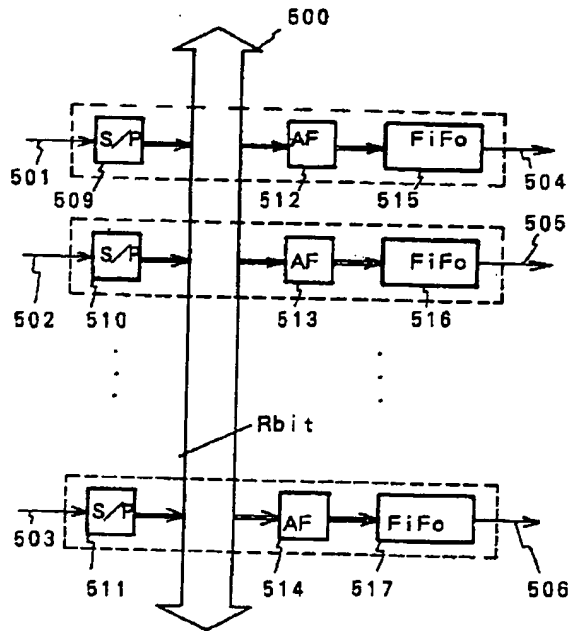
第 3 図



第 4 図



第 5 図



第 6 図

